

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭59—183455

⑯ Int. Cl.³
G 06 F 15/16

識別記号

厅内整理番号
K 6619—5B

⑯ 公開 昭和59年(1984)10月18日

発明の数 1
審査請求 未請求

(全 3 頁)

⑯ マルチコンピュータシステム

⑰ 特願 昭58—58211

⑰ 出願 昭58(1983)3月31日

⑰ 発明者 村松菊男

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑰ 出願人 三菱電機株式会社
東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 葛野信一 外1名

明細書

1. 発明の名称

マルチコンピュータシステム

2. 特許請求の範囲

位相が互いに180度ずれた2つのシステムクロックのそれぞれ片方を第1のコンピュータプロックおよび第2のコンピュータプロックの基本クロックとすることにより、前記2つのコンピュータプロックを同期化し、共有メモリを時分割でアクセスできるようにしたことを特徴とするマルチコンピュータシステム。

3. 発明の詳細な説明

この発明はマルチ・セントラル・プロセッサンク・ユニット(以下単にマルチCPUと言う)を備えたマルチコンピュータシステムに関するものである。

第1図は従来のマルチコンピュータシステムを示すプロック図であり、1例として2個のコンピュータプロックを用いた場合を示す。同図において、(1)は第1CPU、(2)は第1メモリ、(3)は第1入

出力部、(4)は第2CPU、(5)は第2メモリ、(6)は第2入出力部、(7)はバスセレクタ、(8)は共有メモリである。

なお、(9)は前記第1CPU(1)、第1メモリ(2)および第1入出力部(3)から構成される第1のコンピュータプロック、(10)は前記第2CPU(4)、第2メモリ(5)および第2入出力部(6)から構成される第2のコンピュータプロックである。

次に上記構成によるマルチコンピュータシステムの動作について説明する。まず、第1のコンピュータプロック(9)および第2のコンピュータプロック(10)はそれぞれ独立して動作している。そして、共有メモリ(8)は常にこの第1のコンピュータプロック(9)か、第2のコンピュータプロック(10)のいずれか一方の支配下にある。また、前記バスセレクタ(7)は第1のコンピュータプロック(9)または第2のコンピュータプロック(10)のアドレスバスやデータバスと共有メモリ(8)を接続する機能を持ち、第1のコンピュータプロック(9)が共有メモリ(8)を使用している場合には第2のコンピュータプロック

⑩からのアクセスを拒否し、2つのコンピュータプロツクによる共有メモリ(8)に対するアクセスの競合を防止すると共にこの逆の場合についても同様に防止することができる。また、第1のコンピュータプロツク(9)の内部で処理されたデータが第2のコンピュータプロツク⑩でも使用されることがわかつている場合には第1のコンピュータプロツク(9)によつて処理されたデータはバスセレクタ(7)の第1のコンピュータプロツク(9)を選択してゲートを通して共有メモリ(8)に転送される。この間、第2のコンピュータプロツク⑩は共有メモリ(8)を使用することができない。また、第1のコンピュータプロツク(9)から共有メモリ(8)への転送が終ると、第2のコンピュータプロツク⑩側にバスセレクタ(7)が切り替り、第2のコンピュータプロツク⑩は共有メモリ(8)のデータが使用可能になる。

しかしながら、従来のマルチコンピュータシステムでは一方のコンピュータプロツクが共有メモリを使用している間は他方のコンピュータプロツ

特開昭59-183455(2)

クは共有メモリを使うことができない。このため、2つのコンピュータプロツクが同時に共有メモリを利用しようとしたときには必ず、どちらか一方のプロツクに空き状態(アイドリング)が生じ、システムの処理速度が落ちるなどの欠点があつた。

したがつて、この発明の目的は各コンピュータプロツクに空き状態が生じないようにして、システムの処理時間を短縮することができるマルチコンピュータシステムを提供するものである。

このようを目的を達成するため、この発明は位相が互いに180度ずれた2つのシステムクロツクのそれぞれ片方を第1のコンピュータプロツクおよび第2のコンピュータプロツクの基本クロツクとすることにより、前記2つのコンピュータプロツクを同期化し、共有メモリを時分割でアクセスできるようにしたものであり、以下実施例を用いて詳細に説明する。

第2図はこの発明に係るマルチコンピュータシステムの一実施例を示すプロツク図である。同図において、①は位相が互いに180度ずれた2つの

システムクロツク(ϕ_A) (第3図(a)参照)および(ϕ_B) (第3図(b)参照)を出力するシステムクロツク発生回路である。

次に、上記構成に係るマルチコンピュータシステムの動作について第3図(a)および第3図(b)を参考して説明する。まず、システムクロツク(ϕ_A)は第1のコンピュータプロツク(9)に供給され、システムクロツク(ϕ_B)は第2のコンピュータプロツク⑩に供給される。そして、この第3図(a)および第3図(b)に示すシステムクロツク(ϕ_A)および(ϕ_B)が高レベルにあるときのみ、アドレスバスやデータバス上のデータが有効になり、低レベルのときにはコンピュータ内部での処理をうと共にアドレスバスおよびデータバスは共にハイ・インピーダンス状態になる。したがつて、システムクロツク(ϕ_A)が高レベルのタイミングでは第1のコンピュータプロツク(9)から共有メモリ(8)がアクセスできる。そして既くシステムクロツク(ϕ_B)が高レベルのタイミングでは第2のコンピュータプロツク⑩から共有メモリ(8)がアクセスできる。

このように、第1のコンピュータプロツク(9)および第2のコンピュータプロツク⑩を同期化し、共有メモリ(8)を時分割でアクセスすることができる。

なお、上述の実施例では2つのコンピュータプロツクの共有部分として、メモリのみを取扱つたが、入出力部に置きかえても同様にできることはもちろんである。

以上詳細に説明したように、この発明に係るマルチコンピュータシステムによれば2つのコンピュータプロツクを逆位相のクロツクによるパラレル同期運転としたため、2つのCPUに空き時間がなくなり、システムとしての処理速度が向上する。しかも、共有メモリの使用を管理するバスセレクタが不要になり、構成が簡単になるなどの効果がある。

4. 図面の簡単な説明

第1図は従来のマルチコンピュータシステムを示すプロツク図、第2図はこの発明に係るマルチコンピュータシステムの一実施例を示すプロツク図、第3図(a)および第3図(b)は第2図のシステム

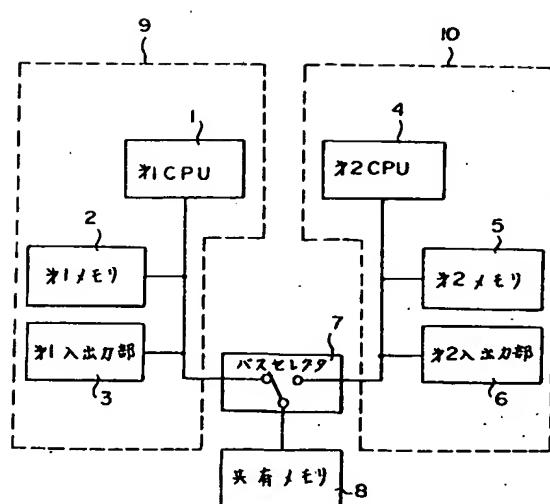
クロツクの波形を示す図である。

- (1) ··· 第1 CPU、(2) ··· 第1 メモリ、
- (3) ··· 第1 入出力部、(4) ··· 第2 CPU、
- (5) ··· 第2 メモリ、(6) ··· 第2 入出力部、
- (7) ··· バスセレクタ、(8) ··· 共有メモリ、
- (9) ··· 第1 のコンピュータプロツク、(10) ··· 第2 のコンピュータプロツク、(11) ··· システムクロツク発生回路。

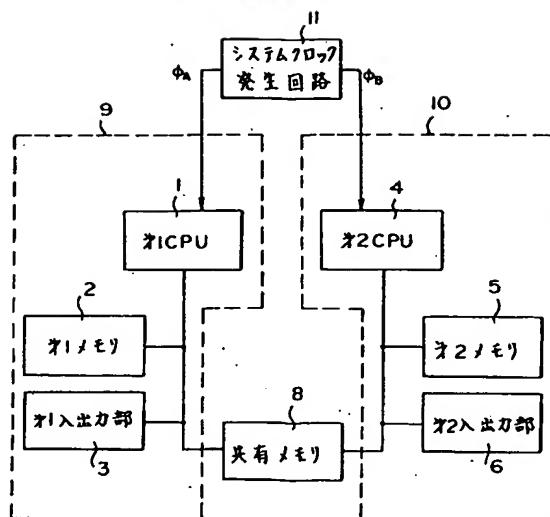
なお、図中、同一符号は同一または相当部分を示す。

代理人 葛野信一

第1図



第2図



第3図

